

1017 U.S. TR

09/034523



04/16/01

Method of fabricating a semiconductor memory device

Patent Number: EP1017096

Publication date: 2000-07-05

Inventor(s): TAKENAKA NOBUYUKI (JP); IGUCHI KATSUJI (JP); OHNISHI SHIGEO (JP)

Applicant(s): SHARP KK (JP)

Requested Patent: JP2000196039 (JP00196039)

Application Number: EP19990310526 19991223

Priority Number(s): JP19980373876 19981228

IPC Classification: H01L21/8242 ; H01L21/02

EC Classification: H01L21/8242B2

Equivalents: US6153460

Abstract

A method of fabricating a semiconductor memory device comprises the steps of: (a) forming an interlayer insulating film on a semiconductor substrate, opening a contact hole in said interlayer insulating film, and burying a plug in said contact hole; (b) forming a first insulating film on said interlayer insulating film inclusive of said plug, and forming a trench in said first insulating film above said plug; (c) forming a first conductive film on said first insulating film inclusive of said trench, and etching back said first conductive film by a chemical mechanical polishing method to form a bottom electrode inside said trench; (d) forming a high dielectric film or a ferroelectric film and a second conductive film in this order on said first insulating film inclusive of said bottom electrode; and (e) patterning simultaneously said high dielectric film or ferroelectric film and said second conductive film

to form a capacitor insulating film and a top electrode.

Data supplied from the esp@cenet database - I2

【00010】 「明示的半導体基板の製造方法」に明示的半導体基板の製造方法によれば、(a) 半導体基板上に層間絶縁膜を形成する。すなはち、該層間絶縁膜にコントакトホールを形成し、さらに該コントакトホール内にブリグを形成する。

【00011】 本明示的半導体基板の製造方法によれば、(a) 半導体基板上に層間絶縁膜を形成する。すなはち、該層間絶縁膜にコントакトホールを形成し、さらに該コントакトホール内にブリグを形成する。

【00012】 本明示的半導体基板の製造方法によれば、(a) 半導体基板上に層間絶縁膜を形成するために使用される基板では、通常半導体基板を形成するために使用される基板では、半導体基板を形成するものではなく、シリコン、シリコンガラス等の化合物半導体等からなる基板を使用することができる。なかで、シリコン基板が好ましい。この半導体基板は、ロゴス法やトレンチノス分離法による素子分離膜が形成されてもよいし、トランジスタ、キャッシュ又は抵抗等の素子、配線、絶縁膜等が単独又は組み合わせられて形成されてもよい。

【00013】 この半導体基板上に、層間絶縁膜を形成する。この際の層間絶縁膜は、絶縁性を有する膜であれば、その材料は特に限定されるものではなく、例えば、シリコン酸化膜、シリコン酸化膜、PSG、BPSG等の单層又は多層からなる絶縁膜が挙げられる。これらの絶縁膜は、例えば、CVD法等の公知の方法にしたがって形成される。

【00014】 本明示的半導体基板の製造方法によれば、(a) 半導体基板上に層間絶縁膜を形成し、該層間絶縁膜にコントакトホールを形成し、さらに該コントакトホール内に

て形成することができる。層間絕縫膜の膜厚は、通常層間絶縫膜として機能する膜厚であればよく、例えば、70.0～300.0 nm程度が挙げられる。この層間絶縫膜にコントクトホールを形成する。コントクトホールの形成方法は、特に固定されるものではなく、例えば、オトリソラフィ及びエッチング工程によって形成することができる。コントクトホールの大きさは、層間絶縫膜の下層と上層との電気的な接続を確保する大きさであるが限界はない。

[0013] このコントクトホール内にブラグを形成する。ブラグは導電性材料によってその裏面を平坦に形成することが好ましい。例えば、チタン、タンタル、タンクステン等の高融点金属、ボリシリコンの単層膜又は複層膜が挙げられる。また、ブラグの下層又は上層に、他の導電材料との密着性を確保等のために、TiN、TaSIN等からなるバリメタルが形成されているてもよい。これらブラグ、バリメタル等は、公知の方法、例えば、スパッタリング法、真空蒸着法等と、エッチング法、好ましくはCMP法によるエッチバックとを組み合わせることにより形成することができる。

[0014] 次いで、(b) ブラグを含む層間絶縫膜上に第1絶縫膜を形成し、ブラグ上の第1絶縫膜に溝を形成する。第1絶縫膜は、通常、ブラグを含む層間絶縫膜上の全面に形成することが好ましい。第1絶縫膜は、絶縫性を有する膜であれば、その材料は特に規定されることはなく、例えば、シリコン酸化膜、シリコン酸化膜、TiO_x、Ta_x等の単層又は多層からなる絶縫膜が挙げられる。なお、ブラグ上に形成される後述する

相應が好ましい。これらの绝缘膜は、例えば、CVD法等の公知の方法にしたがって形成することができる。また、第1绝缘膜の膜厚は、例えば、2 000~3 000 nm程度が挙げられる。

【0015】この第1绝缘膜に溝を形成する。この溝は、プラグ上であって、その底盤がプラグにまで至つており、プラグ全体を被覆し、さらにプラグの外周端上にまで広げて形成することが好ましい。つまり、この溝の大きさにより、後工程で形成する下部電極の大きさがほぼ決定されることになる。溝は、公知の方法、例えばオトリソラフリ及びエッチング工程によって形成することができる。なお、第1绝缘膜に溝を形成した後、上述した他の第1绝缘材料によって第1绝缘膜の厚膜にした後、オールスベースを形成してもよい。

【0016】さらに、(c) 溝を含む第1绝缘膜上に第1導電膜を形成し、第1導電膜を化学的機械的研磨法によってエッチバックすることにより下部電極を形成する。

【0017】第1導電膜は、通常、溝を含む第1绝缘膜上全面に形成することが好ましい。第1導電膜は、通常の電極材料で形成するのであれば特に限定されるもの

はないが、ながらも、Pt、Ru、Ir、 IrO_3/R 又は $IrO_3/1r$ の単層膜や複層膜が好ましい。この構造電極は、先の工型で形成した溝の深さよりも薄い現象、例えば、5.0～20.0 μ m程度の幅で形成することが好ましい。第1導電膜は、公知の方法、例えばCVD法、MOCVD法、スパッタリング法、メッシュ法、エレクトロプロトレー法により形成することができます。また、複層特性の点から、MOCVD法及びエレクトロプロトレー法が好ましい。具体的には、MOCVD法の場合は、比較的蒸気圧の高いPt、Ir等の有機金属錯体を原料に用いて、熱分解する方法が挙げられる。エレクトロプロトレー法の場合は、 $H_1(PtCl_6)$ 、 $H_1(Pt(NO_3)_4$ 、 $H_1(Pt(CN)_4$ 、 $Ir(SO_4)_2$ 、 $M \cdot Ir(SO_4)_2 \cdot 12H_2O$ 等の電解液を電気分解する方法が挙げられる。なお、エレクトロプロトレー法の場合は、同じ金属で構成されるシード層が必要であるため、あらかじめ、第導電膜とする金属膜を、シード層として、スパッタリング法、イオンメタラジカル法等により形成する。

【0018】第導電膜を化学的機械的研磨法によつて構成することにより溝内にのみ下部電極を形成する。つまり、構内に第導電膜上に存在する第1導電膜をエッチング除去する。ここで、化学的機械的研磨法は、 Al_2O_3 、 ZrO_3 、 Al_1O_3 等の研磨剤によつて導電膜を構成する金属を溶解させる溶液を混合させ、スラリーを1.50～2.00 g/cm^3 程度の供給量で、転写プレート上の被エッチング部に塗布することにより始し、CMP法により研磨する方法である。第導電膜を構成する金属を溶解させる溶液としては、例えば、

この場合には水、I、「の場合はは水酸化ナトリウムはカリウム／KNO₃等の溶液を挙げることができる。なお、第2導電膜の厚膜が、溝の深さよりも薄い場合には、下部電極は溝にのみ凹部形状に形成することができる。また、第1導電膜の厚膜が、溝の深さとほぼ同じに、面が第1導電膜と一面に、平坦な形状に形成することができる。

(1010) さらに、(d) 下部電極を含む第1導電膜上に部屋電極又は強誘電体膜及び第2導電膜をこので形成する。高誘電体膜又は強誘電体膜及び第2導電膜は、下部電極を含む第1導電膜上全面に形成することが好ましい。ここで、高誘電体膜又は強誘電体膜は、ナノシタジタル膜として機能するものであり、例えば、高誘電膜としては(Ba, Sr) TiO₃が挙げられ、誘電膜としてはPbTi₂Zr_{1-x}O₃ (0 < x < 1) 又はSr₂Bi₂Ta_{1-x}O₆等が挙げられる。これらの膜は、膜厚は、例えば、500～2000 Å程度が挙げられる。これらの膜は、公知の方法、例えばMO CVD法又はスパッタリング法、MOD法、ソルゲル法等により形成することができる。なお、これら膜を成膜した後には

例えば、400～800℃程度の温度範囲、酸素、離素／窒素、離素／アルゴン／窒素気中等で30秒間～数時間程度アーノル処理を施すことが好ましい。

100201 絶縁膜は、上述した耐導電膜と同様の材料で、同様の調節で、同様の成膜方法で形成することができる。なお、導導電膜と第2導電膜とは必ずしも同じ材料、同じ膜厚で形成する必要はなく、半導体装置の特性、その下層又は上層に配置される電子部品等に応じて、適宜調整することができる。

100211 絶縁膜を同時にバーニングすることによつて、キャバシタ絶縁膜及び上部電極を形成する。高誘電体膜又は強誘電体膜及び第2導電膜は、フタリソグラフィ及びエッティング工程により、滑と同じ大きさ又は滑よりも大きくなバーニングしてもよい。これにより、滑内のみに配置する下部電極と、キャバシタ絶縁膜及び上部電極ととの間に形成する。高誘電体膜又は強誘電体膜及び第2導電膜は、通常耐熱性膜上全面に形成することが好ましい。なお、これら膜の形状は、上述した工程(d)における膜と同様の材料、方法により形成することができる。

100212 続いて、(G) 高誘電体膜又は強誘電体膜及び第2導電膜を化学的機械的研磨法によって同時に工程(d)におけるキャバシタ絶縁膜及び上部電極を形成する。なお、この際のエッチパックは、工程(c)におけるエッチパックと同様の方法で行うことができる。これにより、上部電極が、滑内に、表面が第2絶縁膜と面一に、平坦な形状に形成することができる。

100218 以下に、この発明の半導体装置の製造方法について、図面に基いて説明する。なお、これらの実施例によつてはこの発明は限定されない。

料を用いた場合の方法で行なうことになります。所用時間は、後の工程で形成する上部電極等の膜厚を決定するものであるため、上部電極等の膜厚に拘束された膜厚で形成することが好ましい。例えば、2 000 ～ 5 000 0 A 膜厚が好ましい。

【0024】下部電極上の第 1 地球膜に溝を形成する。

ここで、溝は、工程 (b) における第 1 地球膜に溝を形成する方法と同様の方法により形成することができる。溝の大きさは特に限定されるものではないが、下部電極を覆い、さらにはその外周部にまで広がるような大きさで形成することが好ましい。

[0025] さらに、(E) 清の側面に绝缘膜サイドワイヤーを形成する。この際の绝缘膜サイドワイヤーは、上述した類似膜と同様の材料、好ましくは、 TiO_2 又は Ta_2O_5 膜を、膜厚 $2.00\text{ }\sim\text{ }1.00\text{ }\mu\text{m}$ 程度で形成し、RIE法によりエッチングする。この绝缘膜サイドワイヤーを形成することができる。この绝缘膜サイドワイヤーは、シリコン氧化膜と後工程で形成する高純度体膜又は绝缘膜体膜との接触によるこれら膜の劣化を防止することができる。

[0026] ここで、(F) 清及び绝缘膜サイドワイヤーの劣化を防ぐために、CNP法により、開口部に存在するPt膜 $8\text{ }\mu\text{m}$ を研磨し、P口内にのみ凹形状の下部電極となるノード電極 8 を形成する。ここで、CnP法は、 CeO_2 、 UO_2 等の粉を溶融炉 0.1 等の研磨系にPtを溶解させた後、化学的に塊状研磨する方法である。

[0027] 次に、図1 (e) に示したように、ノード電極 8 上に、例えば、MOCVD法により、膜厚 $50\text{ }\text{nm}$ の绝缘膜 9 を形成する。この際の绝缘膜 9 は、(E) 清の側面に形成する绝缘膜サイドワイヤーの劣化を防ぐために、CNP法により、開口部に存在するPt膜 $8\text{ }\mu\text{m}$ を研磨し、P口内にのみ凹形状の下部電極となるノード電極 8 を形成する。ここで、CnP法は、 CeO_2 、 UO_2 等の粉を溶融炉 0.1 等の研磨系にPtを溶解させた後、化学的に塊状研磨する方法である。

～2000Aで、強誘電体層とPZT膜9を形成し、700°C程度の温度で、10分間程度アニール処理を施す。その後、例えば、MO-CVD法により、膜厚500～2000A程度のIr膜10を形成し、ノード電極8が形成された開口よりも広い幅でキャバシタ地盤層を形成するとともにドライブラインを形成するか、メモリセルアレイの外側でフレート電極を形成する。このようない方方法によれば、キャバシタの上部電極となるフレート電極上にコントラクトホールを形成し、さらにドライブラインを形成する必要がなくなり、製造工程を簡略化できる。

【10034】実例2
まず、図2(a)に示したように、実施例1と同様にシリコン基板1上に層間絶縁膜、コンタクトホール、ブラークリア及びアリマスク5を形成する。続いて、図2(b)に示したよがに、厚さ1000~3000Å程度の層間絶縁膜6及び厚さ200~1000Å程度の層間絶縁膜7を形成する。この層間絶縁膜7の内側からなる第一始端部が性質1、プログラ

4.上であつて、キャバシタの著者實験に對応する部分に於ける開口を形成する。さらには、開口を含む第1弛緩量上に、厚膜厚0.000～0.0004mm程度のPt膜18aを形成する。ここで、Pt膜18aは、比較的蒸気圧の高いPtの有機金屬錯体を原料に用いて、熱分解するMOCVD法により成膜した。併せて、図2(c)に示したよう

に、CMP法により、開口外に存在するPt膜18aを CMP法によって研磨し、開口内を埋め込む形状の下電極となるノード電極18を形成する。
100351 次に、図2(d)に示したように、ノード電極18を含むT10膜7上に、S10膜19からなる第2絶縁膜を形成し、ノード電極18上であって、ノード電極18を形成する。

【0036】さらに、図2(ε)に示したように、開口部を形成する。

を含むT10膜17上に、例えば、MO CVD法により、膜厚600～2000Åで、強誘電体膜としてP-T膜19を形成し、700℃程度の温度で、10分程度、アニール処理を施す。その後、例えば、MO CVD法により、膜厚500～2000Å程度のT10膜20を形成する。

(6037) 続いて、図2(f)に示したように、上のCMP法と同様の方法により、周囲外に存在するP-T膜1.0及びT膜2.0をCMP法により研磨し、周囲内を埋め込む形態の強誘電体膜1.0及びドライブイン2.0を形成する。このような方法によれば、コン

トクトラグ4上の第1始點貫に開口部を形成するためのマスク、ノード電極1以上の第2始點貫に開口部を形成するためのマスクと2枚のマスクを使用するのみでよく、製造工程を簡略化できる。しかも、ドライエッジングは行わないため、強誘電薄膜へのプラスマダメージを低減することができる。

【0038】**[発明の効果]** 本発明によれば、1トランジスタ・1キヤバシタ構造のDRAM又は蓄積電体モリデバイスに形成される部品に下部電極、あるいは下部電極、キャバシタ絶縁膜、上部電極のいずれをも形成し、CMP法でバーニングするため、製造プロセスを複雑化させることなく、かつ蓄積電体にエッチングダメージを与えることなく、高精度化に対応した微細キャバシタを形成することが可能となり、高集成、微細化に対応する半導体装置を製造することができる。

【画面の簡単な説明】

【図1】本発明の半導体装置の製造方法の一実施例を示す要部の断面構造面図である。

【図2】本発明の半導体装置の製造方法の別の実施例を示す要部の断面構造面図である。

【図3】従来の平面型キャバシタを有する蓄積電体メモリセル構造を示す要部の断面構造面図である。

【図4】従来のSTAK型キャバシタを有する蓄積電体メモリセル構造を示す要部の断面構造面図である。

【図5】従来の蓄積電体メモリセルの製造工程を説明するための要部の断面構造面図である。

【図6】従来の蓄積電体メモリセルの製造工程を説明するための要部の断面構造面図である。

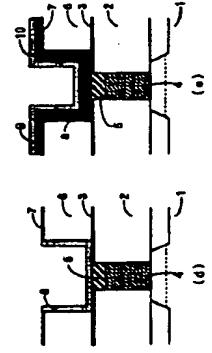
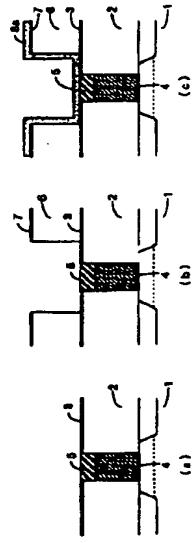
【符号の説明】

- シリコン基板(半導体基板)
- SiO₂膜(層間絶縁膜)
- SiN膜(層間絶縁膜)
- プラグ
- ノード電極(下部電極)
- 1.8a PZT膜(第1絶縁膜)
- 1.7 TiO₂膜(第1絶縁膜)
- 1.8a Pt膜
- ノード電極(下部電極)
- 1.8a PZT膜
- 2.0a Ir膜
- SiO₂膜(層間絶縁膜)
- 1.7 TiO₂膜(層間絶縁膜)
- 強誘電体膜
- ドライライン(上部電極)

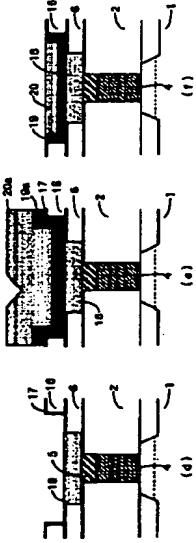
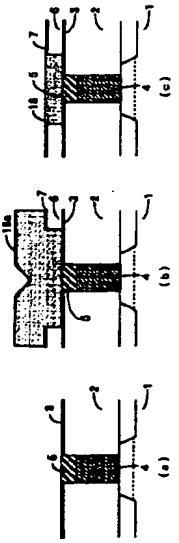
である。
[0033] 次に、図1(e)に示したように、ノーチャン電極8上に、例えば、MOCVD法により、膜厚50

成する高誘電体膜又は強誘電体膜との接触によるこれら層の劣化を防止することができる。
〔0026〕 ついで、〔F〕溝及び絶縁層サイドウォール

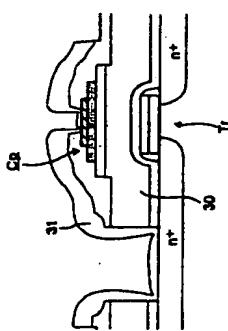
[図1]



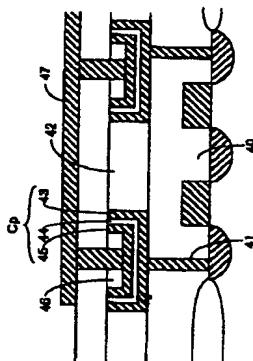
[図2]



[図3]



[図5]

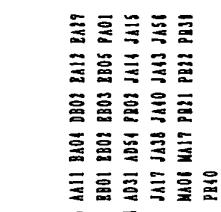
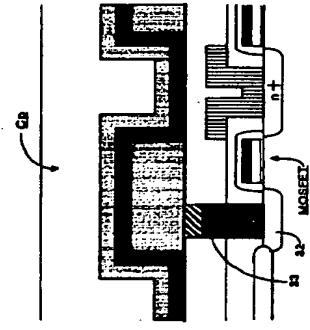


フロントページの眺き

(1) 発明者 井口 勝次
大阪府大阪市阿倍野区長池町11番11号 シ
ヤーフ株式会社内

Pターム(参考) SP004 AA11 BA04 D001 EA12 EA17
EB01 EB03 BB03 BB05 FA01
SP003 AD31 AD54 PR01 JA14 JA15
JA17 JA18 JA40 JA43 JA54
MA06 MA17 PR11 PR21 PR31
PR40

[図4]



[図6]